

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-217455

(43)Date of publication of application : 10.08.2001

(51)Int.Cl.

H01L 33/00

(21)Application number : 2000-032749

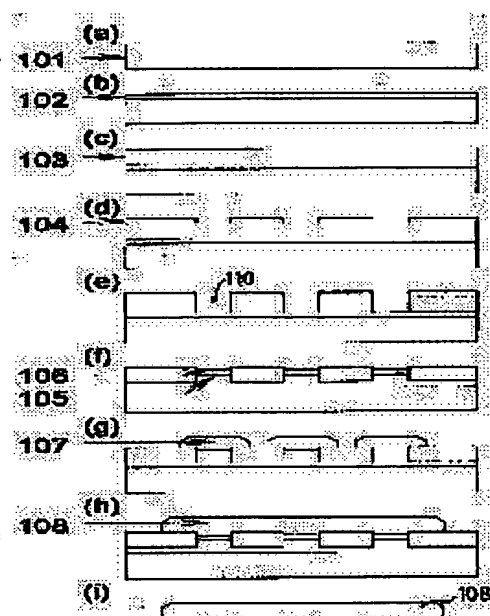
(71)Applicant : RICOH CO LTD

(22)Date of filing : 04.02.2000

(72)Inventor : MIKI TAKESHI
SARAYAMA SHOJI**(54) SEMICONDUCTOR SUBSTRATE, METHOD OF FORMING THE SAME AND LIGHT EMITTING DEVICE****(57)Abstract:**

PROBLEM TO BE SOLVED: To provide a semiconductor substrate of III nitride which is almost free from crystal defects, high in quality, and large in area, its manufacturing method, and a light emitting device.

SOLUTION: A semiconductor substrate is manufactured in such manner in which a region 106 where an epitaxial layer of III nitride (e.g. GaN) is selectively grown and a region in which an epitaxial layer of III nitride is not selectively grown are mixedly provided on an epitaxial growth substrate, and an epitaxial layer 107 of III nitride is formed on the substrate for the formation of a semiconductor substrate. At this point, the semiconductor substrate is manufactured in such a manner in which the III nitride epitaxial layer 107 grown in the region 106 of the epitaxial growth substrate where a III nitride epitaxial layer is selectively grown and the epitaxial growth board are separated from each other.

**LEGAL STATUS**

[Date of request for examination]

24.11.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

일본공개특허공보 특개2001-217455 사본1부.

[첨부그림 1]

(19) 日本特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-217455

(P2001-217455A)

(43) 公開日 平成13年8月10日(2001.8.10)

(51) Int. Cl.⁷
H01L 33/00

識別記号

P 1
H01L 33/00

チェックコード(参考)
C 5 F 0 4 1

審査請求 未請求 請求項の数 8 O L (全 12 頁)

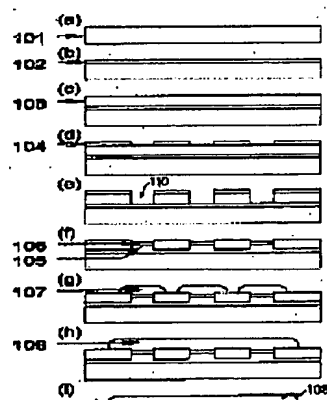
(21) 出願番号 特願2000-32746(P2000-32746)

(22) 出願日 平成12年2月4日(2000.2.4)

(71) 出願人 000006747
株式会社リコー
東京都大田区中馬込1丁目3番6号
(72) 発明者 三浦 剛
東京都大田区中馬込1丁目3番6号 株式会社リコー内
(73) 発明者 三浦 正二
東京都大田区中馬込1丁目3番6号 株式会社リコー内
(74) 代理人 100090240
弁理士 植本 雅祐
Fターム(参考) 5F041 AA31 AA40 CA05 CA34 CA40
CA46 CA05 CA67 CA73 CA74
CA77

(54) 【発明の名称】 半導体基板およびその作製方法および発光素子

【課題】 結晶欠陥の少ない高品質かつ大面積のIII族窒化物の半導体基板およびその作製方法および発光素子を提供する。
【解決手段】 III族窒化物(例えばGaN)のエピタキシャル層が選択的に成長する領域100とIII族窒化物のエピタキシャル層が選択的に成長しない領域とが混在して形成されているエピタキシャル成長用基板上に、III族窒化物のエピタキシャル層107を形成して半導体基板を作製するようになっており、この際、エピタキシャル成長用基板のIII族窒化物エピタキシャル層が選択的に成長する領域100に成長したIII族窒化物エピタキシャル層107とエピタキシャル成長用基板とが分離されるように半導体基板を作製する。



【特許請求の範囲】

【請求項 1】 III族窒化物エピタキシャル層が選択的に成長する領域とIII族窒化物エピタキシャル層が選択的に成長しない領域とが混在して形成されているエピタキシャル成長用基板の上に、III族窒化物エピタキシャル層を形成して、半導体基板を製作する半導体基板の製作方法であって、エピタキシャル成長用基板のIII族窒化物エピタキシャル層が選択的に成長する領域に成長したIII族窒化物エピタキシャル層とエピタキシャル成長用基板とが分離されるように作製することを特徴とする半導体基板の製作方法。

【請求項 2】 請求項 1記載の半導体基板の製作方法において、エピタキシャル成長用基板と前記エピタキシャル成長用基板の上に成長するIII族窒化物エピタキシャル層とが格子不整合であり、かつ、エピタキシャル成長用基板のIII族窒化物エピタキシャル層が選択的に成長する領域上で、エピタキシャル成長用基板と前記III族窒化物エピタキシャル層とが格子構造により分離されるように作製することを特徴とする半導体基板の製作方法。

【請求項 3】 請求項 2記載の半導体基板の製作方法において、格子構造を作製するまでの成長方法と、格子構造作製後の成長方法とが異なることを特徴とする半導体基板の製作方法。

【請求項 4】 請求項 1、請求項 2または請求項 3記載の半導体基板の製作方法において、III族窒化物エピタキシャル層とエピタキシャル成長用基板とを一体としたものを半導体基板とすることを特徴とする半導体基板の製作方法。

【請求項 5】 請求項 1、請求項 2または請求項 3記載の半導体基板の製作方法において、III族窒化物エピタキシャル層をエピタキシャル成長用基板から取り外したものを半導体基板とすることを特徴とする半導体基板の製作方法。

【請求項 6】 請求項 1乃至請求項 5のいずれか一項に記載の半導体基板の製作方法において、III族窒化物エピタキシャル層は、少なくともGeを含む窒化物よりなり、格子構造はGe、In、Alの窒化物若しくはその混合物により構成されていることを特徴とする半導体基板の製作方法。

【請求項 7】 請求項 1乃至請求項 6のいずれか一項に記載の半導体基板の製作方法によって作製された半導体基板。

【請求項 8】 請求項 7記載の半導体基板上に形成された発光素子。

【発明の詳細な説明】

【発明の属する技術分野】 本発明は、光通信用半導体レーザや光ディスク用光源などに利用される半導体基板およびその製作方法および発光素子に関する。

【0002】

【従来の技術】 従来、青色のLEDは、青色や緑色のLEDに比べて輝度が小さく実用化に難点があったが、近年、一般式InAlGaNで表されるGaN系化合物半導体において、低温AlNバッファ層、あるいは低温GaNバッファ層を用いることによる結晶成長技術の向上と、Mgをドーパした低抵抗のp型半導体層が得られたことにより、高輝度青色LEDが実用化され、さらには、実用化には至らないが室温で動作する半導体レーザが実現された。

【0003】 一般に、高品質の半導体層を基板上にエピタキシャル成長させる場合には、基板と半導体層の格子定数や熱膨張係数が同程度である必要がある。しかしながら、GaN系半導体については、これらを同時に満足する基板が現在世の中には存在しない。

【0004】 従来、GaNバルク単結晶を作製する試みがなされているが、いまだに数ミリの程度のもしか得られていないのが実状であり、実用化には程遠い状態である。

【0005】 従って、GaN系では、一般に、サファイア、MgAl₂O₄スピネル、SiCのようなGaN系半導体と格子定数や熱膨張係数の大きく異なる異種基板を用い、結晶成長を行い、レーザ素子を作製している。

【0006】 しかしながら、異種基板を用いる場合には、結晶欠陥、光共振器端面形成、電極形成、散熱性という問題があり、実用的なレーザ素子を作製することは未だ実現されていない。

【0007】 以下、これらの問題を簡単に説明する。結晶欠陥に関しては、サファイア、MgAl₂O₄スピネル、SiCのようなGaN系半導体とは格子定数や熱膨張係数の大きく異なる異種基板を用いて結晶成長を行なうと、格子不整合により導入される転位密度が10⁶~10¹⁰cm⁻²と非常に大きく、また、異種基板とGaN系半導体との熱膨張係数との違いにより、歪みやクラックが発生するなど、実用的な半導体レーザを作製するのに必要な品質を有する結晶成長は困難であった。

【0008】 また、光共振器端面形成に関しては、異種基板とGaN系化合物半導体のへき界面は必ずしも一致しているわけではないので、従来のAlGaAs系等のレーザのように、へき開法で平行かつ平滑な光共振器端面を形成することが困難であった。

【0009】 従って、GaN系では、ドライエッチングや、サファイア等の基板を薄く研磨し、基板をへき開することで、GaN系結晶を削るなどの方法で、光共振器端面を作製している。

【0010】 ここで、ドライエッチングを使用する方法では、作製プロセスにおいて、ドライエッチング用マスクの形成、ドライエッチング、マスク除去等の工程が必要とされ、複雑化していた。さらには、GaN系化合物半導体のドライエッチング技術は未だ確立されていない

ため、形成された共振器ミラーには、縦断線の凹凸が生じ、また、テーパー状に形成されるなど、その平滑性、平行性、垂直性は未だ十分ではなかった。また、ドライエッチングで共振器ミラーを形成した場合には、共振器ミラー端面の前方に基板がテラスとして残るため、このテラスによって光が反射され、ビーム形状が歪曲しなかった。

【0011】また、サファイア等の基板を深く研磨し、基板をへき開することで、GeN系結晶を割るなどの方法で、光共振器端面を形成する方法では、GeN系結晶と基板とのへき開面のずれから、光共振器端面は凹凸が大きく平滑にはならないので、レーザーのしきい値電流の増加を招いていた。

【0012】また、電極形成に関しては、一般的に使用されているサファイア基板が脆性であるため、基板表面から電極をとることができなかった。そのため、電極は素子表面に形成されることになり、従来のAlGaAs系等のレーザーのように基板表面に電極を形成しグイボンディングするような実装ができる。さらには、電極のスペースの分だけチップ面積が大きくなるという問題もあった。また、n側の電極形成のために、n型層を露出するためのドライエッチングが必要とされるので、レーザー素子の作製工程が複雑化していた。

【0013】また、放熱性に関しては、一般的に使用されているサファイア基板の熱伝導性の悪さから、高温動作あるいは大出力動作では、寿命は極端に短かった。

【0014】以上の問題を解決するため、低欠陥密度の高品質GeN厚膜によってGeN基板を作製する技術が開発されている。

【0015】例えば、特開平10-326912号公報、特開平10-326751号公報、特開平10-312971号公報、特開平11-4048号公報には、異種基板の上にマスクを用いてGeNを選択成長し、さらに結晶成長を続けることで、マスクを埋め込み、基板全面に平坦なGeN厚膜を形成する技術が開示されている。

【0016】図5は特開平10-312971号公報に示されているGeN厚膜基板の作製方法を説明するための図である。

【0017】図5を参照すると、まず、サファイア等の異種基板11に、GeN等のIII-V族化合物半導体膜12を堆積し、その上に、SiO₂等からなる数μm幅のマスク14を作製し、GeN等のIII-V族化合物半導体を選択成長させる成長領域13を形成する(図5(a))。

【0018】次いで、成長領域13にGeN等のIII-V族化合物半導体を選択成長させファセット構造15を作製する(図5(b))。

【0019】III-V族化合物半導体の成長をさらに続けると、ファセット15は横方向に成長し、マスク14上を覆う(図5(c))。

【0020】さらに成長を続けると、隣接するIII-V族化合物半導体15は合体し、溝が埋まる(図5(d))。

【0021】さらに成長を続けると、III-V族化合物半導体15の表面は平坦化し、基板全面に平坦なIII-V族化合物半導体厚膜が形成される(図5(e))。

【0022】上述の各公報に示されている技術によれば、異種基板の上に選択成長した部分の結晶層には、基板界面で発生した異位転位の密度が高いが、マスク上を横方向にラテラル成長した部分では異位転位の密度は低減し高品質の結晶となっている。さらに、この上に選択成長とラテラル成長を繰り返すことで、ウェハー全面で、転位の少ない高品質のGeN厚膜が形成することが出来る。また、この技術によれば、100μm以上の厚いGeNを成長しても、熱膨張係数差に起因するクラックが入らないので、異種基板を除去しても基板として利用できる厚さのGeN厚膜を成長することが出来る。

【0023】そして、上述の各公報の技術では、光共振器端面、電極形成、放熱性の問題の解決のため、最終的に、異種基板とマスクを除去し、GeN基板を形成している。異種基板とマスク材料の除去は、研磨あるいは熱衝撃を利用する方法によっている。

【0024】特開平10-312971号公報、特開平11-4048号公報には、異種基板とマスク材料を除去したGeN基板上に、レーザー構造を形成して作製したGeN系半導体レーザーが開示されている。

【0025】図6は特開平11-4048号公報に示されている半導体レーザーを示す図である。図6において、窒化物半導体基板(GaN基板)40は、図5に示した工程と同様に、サファイア基板上に、選択成長マスクを介して、SiをドーピングしたGeNを厚く成長した後、サファイア基板、選択成長マスクを研磨して除去し、SiドーピングGeN基板のみとし、作製している。

【0026】そして、図6の半導体レーザーでは、このGeN基板40の上に、レーザー構造となる窒化物半導体層を成長させている。レーザーの構造構造は、n型GeNからなる第2のパッファー層41、n型In_{0.1}Ga_{0.9}Nからなるクラック防止層42、n型Al_{0.2}Ga_{0.8}N/GaN超格子からなるn側クラッド層43、n型GeNからなるn側光ガイド層44、In_{0.05}Ga_{0.95}N/In_{0.2}Ga_{0.8}N多重量子井戸構造の活性層45、p型Al_{0.3}Ga_{0.7}Nからなるp側キャップ層46、p型GeNからなるp側光ガイド層47、p型Al_{0.2}Ga_{0.8}N/GaN超格子からなるp側クラッド層48、p型GeNからなるp側コンタクト層49を順次堆積して形成されている。

【0027】そして、p側コンタクト層49、p側クラッド層48の一部をドライエッチングして、幅4μmのリッジストライプを形成する。リッジストライプを形成

する位置は、選択成長マスクがあった直上の結晶部分である。この位置合わせは、サファイア基板と選択成長マスクが除去されているため、窒化物半導体層の成長前に起点となる目印をGaN基板側に入れて行っている。リッジストライプ上にはN⁺Alからなる側面電極51が形成され、n型GaN基板の表面には、Ti/Alからなる側面電極53が形成されている。そして、レーザ照射部端面は、n型GaN基板の端面をへき関することによって形成されている。

【0028】その他のGaN厚膜基板の作製技術としては、例えば特開平7-202265号公報、特開平7-165498号公報に示されている技術が知られており、この技術は、サファイア基板の上にZnOよりなるバッファ層を形成し、その上にGaN半導体層を成長させた後、バッファ層を溶解除去し、基板とGaN半導体層を分離して作製するものである。

【0029】また、特開平10-229216号公報には、第1の基板の上にGaN半導体層が形成された第1のウエハーと第2の基板の上にGaN半導体層が形成された第2のウエハーとを用意し、前記第1と第2のウエハーとをそれぞれのGaN半導体同士が密着するようにして接合した後、第1の基板と第2の基板とを研削除去する方法が示されている。

【0030】

【発明が解決しようとする課題】 上述したように、低温バッファ層の技術や、選択成長とテララ成長の組み合わせによる低欠陥基板の作製技術により、サファイア等の異種基板への高品質GaN化合物半導体の結晶成長が可能となり、GaN半導体レーザの室温近傍での低出力動作時の長寿命化が図られている。さらに、GaN基板が作製され、この基板を用いることによりGaN半導体レーザの特性の改善が見込まれる。

【0031】しかしながら、工業的に実用できる大面積、高品質のGaN基板は、未だ実現されていないのが実状である。その結果、高出力動作する実用的なレーザも未だ実現されていない。

【0032】また、特開平10-326912号公報、特開平10-326751号公報、特開平10-312971号公報、特開平11-4048号公報に示されているGaN基板の作製方法では、厚いGaNを成長してもクラックは発生しないが、GaNと異種基板との熱膨張係数差により、ウエハーに応力が生じる。このため、直径2インチ程度の異種基板を全面均一に研削することは困難であり、たとえ、直径2インチ程度の基板の上に高品質のGaN厚膜を成長しても、異種基板研削のためには、10mm程度に分割する必要がある。大型のGaN基板は作製できなかった。すなわち、従来のような基板の研削除去の方法では、大面積のGaN基板を作製することは困難である。また、この応力のために、異種基板研削の過程でGaN層に欠陥が導入されるなどして、結

晶性が悪くなり、その上に作製した半導体レーザのしきい電流密度が増加するなど、半導体レーザの特性は必ずしも良いものではない。

【0033】また、第1と第2のウエハーとをそれぞれのGaN半導体同士が密着するようにして接合した後、第1の基板と第2の基板とを除去する特開平10-229216号公報に示されている方法では、基板とGaN半導体との熱膨張係数の違いによって、GaNを厚く成長するとウエハーが反るため、大面積のウエハーでは、ウエハー全面でGaN半導体同士が完全に密着しないこともある。また、電流の過程でクラックが入る場合もある。さらに、第1の基板と第2の基板を研削除去するため、1枚のGaN基板を作製するのに2枚の高価な基板を使うことになり高コストになるなどの問題もある。

【0034】また、基板の研削除去を要しないGaN基板を作製する特開平7-202265号公報、特開平7-165498号公報に示されている技術では、選択のZnOよりなるバッファ層を溶解除去するのに非常に長時間を要し、実用化は難しい。

【0035】一方、熱衝撃を利用して異種基板を分離する方法においても、熱衝撃による欠陥の導入の問題は研削の場合と同様であり、高品質のGaN基板を作製することは困難である。

【0036】本発明は、これら従来のGaN半導体基板の作製方法の問題点を解決し、結晶欠陥の少ない高品質かつ大面積のIII族窒化物の半導体基板およびその作製方法および発光素子を提供することを目的としている。

【0037】

【課題を解決するための手段】 上記目的を達成するために、請求項1記載の発明は、III族窒化物エピタキシャル層が選択的に成長する領域とIII族窒化物エピタキシャル層が選択的に成長しない領域とが混在して形成されているエピタキシャル成長用基板の上に、III族窒化物エピタキシャル層を形成して、半導体基板を作製する半導体基板の作製方法であって、エピタキシャル成長用基板のIII族窒化物エピタキシャル層が選択的に成長する領域に成長したIII族窒化物エピタキシャル層とエピタキシャル成長用基板とが分離されるように作製することを特徴としている。

【0038】また、請求項2記載の発明は、請求項1記載の半導体基板の作製方法において、エピタキシャル成長用基板と前記エピタキシャル成長用基板の上に成長するIII族窒化物エピタキシャル層とが格子不整合であり、かつ、エピタキシャル成長用基板のIII族窒化物エピタキシャル層が選択的に成長する領域上で、エピタキシャル成長用基板と前記III族窒化物エピタキシャル層とが格子不整合により分離されるように作製することを特徴としている。

【0039】また、請求項3記載の発明は、請求項2記載の半導体基板の作製方法において、超格子構造を作製するまでの成膜方法と、超格子構造作製後の成膜方法とが異なることを特徴としている。

【0040】また、請求項4記載の発明は、請求項1、請求項2または請求項3記載の半導体基板の作製方法において、III族窒化物エピタキシャル層とエピタキシャル成長用基板とを一体としたものを半導体基板とすることを特徴とする半導体基板の作製方法である。

【0041】また、請求項5記載の発明は、請求項1、請求項2または請求項3記載の半導体基板の作製方法において、III族窒化物エピタキシャル層をエピタキシャル成長用基板から取り外したものを半導体基板とすることを特徴とする半導体基板の作製方法である。

【0042】また、請求項6記載の発明は、請求項1乃至請求項5のいずれか一項に記載の半導体基板の作製方法において、III族窒化物エピタキシャル層は、少なくともGeを含む窒化物よりなり、超格子構造はGe、In、Alの窒化物若しくはその混合物により構成されていることを特徴としている。

【0043】また、請求項7記載の発明は、請求項1乃至請求項6のいずれか一項に記載の半導体基板の作製方法によって作製された半導体基板である。

【0044】また、請求項8記載の発明は、請求項7記載の半導体基板上に形成された発光素子である。

【0045】

【発明の実施の形態】以下、本発明の実施形態を図面に基いて説明する。

【0046】本発明の実施形態では、III族窒化物(例えばGeN)のエピタキシャル層が選択的に成長する領域とIII族窒化物のエピタキシャル層が選択的に成長しない領域とが混在して形成されているエピタキシャル成長用基板上に、III族窒化物のエピタキシャル層を形成して半導体基板を作製するようになっており、この際、エピタキシャル成長用基板のIII族窒化物エピタキシャル層が選択的に成長する領域に成長したIII族窒化物エピタキシャル層とエピタキシャル成長用基板とが分離されるように半導体基板を作製することを特徴としている。

【0047】本発明の実施形態では、III族窒化物エピタキシャル層は、III族窒化物のエピタキシャル層が選択的に成長する領域とIII族窒化物エピタキシャル層が選択的に成長しない領域とが混在して形成されたエピタキシャル成長用基板上に成膜される。ここで、III族窒化物が選択的に成長する領域とは、エピタキシャル成長用基板の原子配列によるポテンシャルに基づき膜の原子配列が決定し、III族窒化物エピタキシャル層がエピタキシャル成長用基板に対して垂直に成長する領域である。一方、III族窒化物エピタキシャル層の選択成長しない領域とは、III族窒化物エピタキシャル層が全く結

晶成長しないが、基板の原子配列によるポテンシャルに無関係に3次元成長する領域である。

【0048】このように、III族窒化物のエピタキシャル層が選択的に成長する領域とIII族窒化物エピタキシャル層が選択的に成長しない領域とが混在して形成されたエピタキシャル成長用基板上に、III族窒化物エピタキシャル層のエピタキシャル成長を開始させると、III族窒化物結晶は、エピタキシャル成長用基板上の選択成長する領域に、エピタキシャル成長用基板に対し垂直方向に成長し、しだいに選択的に成長しない領域上へ横方向にも成長し始め、やがてエピタキシャル成長用基板表面を被覆する。垂直方向に成長したIII族窒化物エピタキシャル層の部位は、エピタキシャル成長用基板全体に直接成長した結晶と同様の欠陥密度であるが、横方向に成長しているIII族窒化物エピタキシャル層の部位では欠陥は結晶表面には露出せず、垂直方向に成長しているIII族窒化物エピタキシャル層の部位よりも結晶表面の欠陥密度が低減している。しかし、エピタキシャル成長用基板とIII族窒化物エピタキシャル層とが異種材料である場合には、熱膨張率の差などの影響によりエピタキシャル成長用基板とIII族窒化物エピタキシャル層との間には応力が発生する。

【0049】本発明の実施形態では、エピタキシャル成長用基板とIII族窒化物エピタキシャル層とを分離することにより、この応力を緩和するようにしている。なお、ここでいう分離とは、物理的に2つの構成要素に分けること(すなわち基板からIII族窒化物のエピタキシャル層を取り外すこと)のみを表すのではなく、異種界面による応力緩和等の力学的な意味での分離を含んでおり、形態として、エピタキシャル成長用基板とIII族窒化物エピタキシャル層とが一体であるか否かによるものではない。また、分離のための機構は、成長中、成長後、アニール中等の何れのタイミングで実現しても良い。

【0050】本発明の実施形態によれば、エピタキシャル成長用基板とIII族窒化物エピタキシャル層とが分離されることにより、熱膨張率の差などの影響によりエピタキシャル成長用基板とIII族窒化物エピタキシャル層との間の応力が解放され、エピタキシャル成長用基板の応力等の応力に起因する不良を解消することができる。

【0051】図1は本発明の実施形態の半導体基板の具体的な作製工程例を示す図である。図1を参照すると、先ず、A1203基板101を用意する(図1(a))。なお、基板101の方位はc-面を用いているが、他の面方位でも良い。

【0052】次いで、基板101上にMOCVD法によりGeNの低温パーフェクター層(図示せず)を被覆後、Siドープのn-GeN膜102(膜厚が1μm)を成膜する(図1(b))。次いで、n-GeN膜102上に

SiO₂ 마스크층 103 (층厚가 1.5 μm) を成膜する (圖 1 (c))。

【0053】 しかる後、フォトリソ resist 104 を塗布し、フォトリソグラフィにより所望のパターンにパターンニングを施す (圖 1 (d))。次いで、バックワードフッ酸により SiO₂ 마스크層 103 をエッチングする (圖 1 (e))。

【0054】 しかる後、MOCVD 法により SiO₂ 마스크開口部 110 に Si ドープ n-GaN エピタキシャル層 105 (層厚가 1 μm) を選択成長し、引き続き、InN 層 106 (層厚가 200 nm) を形成する (圖 1 (f))。このようにしてエピタキシャル成長用基板を製作する。

【0055】 しかる後、MOCVD 法により Si ドープ n-GaN エピタキシャル層 107 を選択成長しマスク開口面を被覆し、横方向への成長を行なう (圖 1 (g))。

【0056】 さらに、選択成長を続けることにより、基板全体の GaN エピタキシャル層 107 が合体し、合体した GaN エピタキシャル層 107 によって単一の GaN 基板 108 が形成される (圖 1 (h))。

【0057】 しかる後、空素気中で InN 層 106 が分解する温度でアニールする。アニール温度からの冷却時に生じる熱応力により、GaN 層 108 / SiO₂ マスク層 103 の異種界面において選択的に応力緩和が起こり、反りのない異種基板上に成長した GaN 基板 108 が得られる (圖 1 (i))。

【0058】 このように、圖 1 の作製工程例では、エピタキシャル成長用基板の III 族窒化物エピタキシャル層が選択的に成長する領域に成長した III 族窒化物エピタキシャル層とエピタキシャル成長用基板とが分離されており、エピタキシャル成長用基板と III 族窒化物エピタキシャル層との間に分離のための構造を設けることで、異種材料基板上に III 族窒化物エピタキシャル層を形成するに当たり従来の問題となっていた異種材料基板との間の熱膨張係数の差による応力を緩和することができ、応力による歪み等を低減することができ、高品質かつ大面積の III 族窒化物半導体基板を提供できる。すなわち、熱歪みの低減により、反りやクラックのない大面積結晶化の III 族窒化物半導体基板が得られるとともに、転位の進展、増殖等の挙動が緩和された高品質の III 族窒化物半導体基板が得られる。

【0059】 なお、層構成や層の組成等の構成およびプロセスの詳細は、上述の例に限定されるものではなく、後述のように超格子構造による分離などの他の構成、プロセスを取ることでも可能である。

【0060】 また、上述の例では、GaN 系薄膜を MOCVD 法により成膜したが、MBE 法を用いれば、GaN 系の薄膜に限らず、すべての層、膜の構成を形成可能であり、また HVPE 法、昇華法を用いれば、InN 層

106 以降の層、膜の構成を形成可能である。また、マスク層 103 の材料も、SiO₂ 膜に限らず、SiNX 膜などを用いることができる。

【0061】 また、上述した作製工程例は、GaN 系半導体基板に限らず、熱膨張係数の近いさまざまな材料の基板の作製全般に適用可能である。

【0062】 さらに、圖 1 (h)、(i) のアニール工程において、アニール条件によってはアニール工程後に GaN 基板 108 を分離することのできないこともあるが、この場合でも、マスク層 103 に対してエッチングすることにより GaN 基板 108 を分離することが可能であり、本発明はこの場合にも適用可能である。

【0063】 また、上述した本発明の実施形態の作製方法において、エピタキシャル成長用基板とエピタキシャル成長用基板上に成長する III 族窒化物エピタキシャル層との分離には、超格子構造を用いることができる。超格子構造は、複数の異種材料を重ね合わせることで形成されており、その異種界面は同一結晶内よりもより小さな断断応力に対し応力緩和挙動を示す。従って、エピタキシャル成長用基板と III 族窒化物エピタキシャル層の格子不整合と熱膨張係数の差による応力は、マスク材とエピタキシャル層との異種界面と超格子構造の異種界面とで選択的に緩和が進展する。

【0064】 図 2 は、エピタキシャル成長用基板とエピタキシャル成長用基板上に成長する III 族窒化物エピタキシャル層との分離に、超格子構造を用いる場合の半導体基板の作製工程例を示す図である。図 2 を参照すると、まず、A12O3 基板 201 を用意する (圖 2 (a))。なお、基板 201 の方位は c-面を用いているが、他の面方位でも良い。

【0065】 次いで、基板 201 上に MOCVD 法により GaN の低温バフー層 (図示せず) を積層後、Si ドープの n-GaN 膜 202 (膜厚가 1 μm) を成膜する (圖 2 (b))。次いで、n-GaN 膜 202 上に SiO₂ マスク層 203 (層厚가 1.5 μm) を成膜する (圖 2 (c))。

【0066】 しかる後、フォトリソ resist 204 を塗布し、フォトリソグラフィにより所望のパターンにパターンニングを施す (圖 2 (d))。次いで、バックワードフッ酸により SiO₂ マスク層 203 をエッチングする (圖 2 (e))。

【0067】 しかる後、MOCVD 法により SiO₂ マスク開口部 210 に Si ドープ n-GaN エピタキシャル層 205 (層厚가 1 μm) を選択成長し、これによりエピタキシャル成長用基板が作製される。

【0068】 しかる後、InGaN (厚さ 20 nm) / GaN (厚さ 20 nm) の超格子構造 206 を形成する (圖 2 (f))。

【0069】 しかる後、MOCVD 法により Si ドープ n-GaN エピタキシャル層 207 を選択成長しマスク

開口面を被覆し、横方向への成長を行なう(図2(e))。

【0070】さらに、選択成長を続けることにより、基板全体のGeNエピタキシャル層207が合体し、合体したGeNエピタキシャル層207によって単一のGeN基板208が形成される(図2(h))。

【0071】この場合、成長温度からの冷却時に生じる熱応力により、GeN層208/SiO2マスク層203との界面、および、InGaIn/GeN超格子構造206の異種界面において、選択的に応力緩和が起こり、反りのない異種基板上のGeN基板208が得られる。

【0072】このように、図2の作製工程例では、エピタキシャル成長用基板とエピタキシャル成長用基板上に成長するIII族窒化物エピタキシャル層(207, 208)とが格子不整合であり、かつ、エピタキシャル成長用基板とIII族窒化物エピタキシャル層(207, 208)とが超格子構造206により分離されていることにより、高品質かつ大面積のIII族窒化物半導体基板を提供できる。すなわち、格子歪み系の材料での基板作製にあたり、格子歪みに起因する高密度の転位は選択成長により低減し、また、エピタキシャル成長用基板との熱膨張係数の差による応力をエピタキシャル成長用基板とIII族窒化物エピタキシャル層との間に設けた超格子構造の異種材料間での選択的な格子緩和により低減することができる。超格子構造による格子緩和は、成長中、成長後を問わず、超格子構造の層面に対して平行な剪断応力に対してこれを緩和するように働く。この方向は格子歪みにより生じる応力の働く方向であり、また、熱膨張率の差による応力の働く方向でもある。従って、より小さな剪断応力に対して格子緩和挙動を示すように超格子構造を設計することにより、より残存歪みの小さな高品質かつ大面積の半導体結晶、すなわちIII族窒化物半導体基板を得ることができる。

【0073】なお、層構成や各層の組成等の構成およびプロセスの詳細は上述の例に限定されるものではなく、他の構成、プロセスを取ることも可能である。

【0074】また、上述の例では、GeN系薄膜をMOCVD法により成膜したが、MBE法を用いれば、GeN系薄膜に限らず、すべての層、膜の構成を形成可能であり、HVP法、昇昇法を用いれば、超格子構造206以降の層、膜の構成を形成可能である。また、マスク層203の材料も、SiO2膜に限らず、SiNx膜などを用いることができる。

【0075】また、上述した作製工程例は、GeN系半導体基板に限らず、格子不整合系の基板の作製全般に適用可能である。

【0076】また、超格子構造による分離を行なう上述の半導体基板の作製方法において、超格子構造を作製するまでの成膜方法と、超格子構造作製後の成膜方法とを異ならせることもできる。すなわち、上述の作製工程に

において、超格子構造までの作製工程では比較的成長条件が緩く、各層の厚み等の制御が容易なMOCVD法やMBE法が適用していると考えられる。しかし、超格子構造の作製後は、成膜速度が速く安価な成膜方法を採用することにより、より安価に半導体基板を作製することが可能となる。

【0077】図3は超格子構造を作製するまでの成膜方法と超格子構造作製後の成膜方法とを異ならせる場合の半導体基板の作製工程例を示す図である。

【0078】図3を参照すると、まず、A12O3基板301を用意する(図3(a))。なお、基板301の方位はc-面を用いているが、他の面方位でも良い。次いで、基板301上にMOCVD法によりGaInの低温パーファ-層(図示せず)を堆積後、Siドープのn-GeN膜302(膜厚が1μm)を成膜する(図3(b))。次いで、n-GeN膜302上にSiNxマスク層303(膜厚が1.5μm)を成膜する(図3(c))。

【0079】しかる後、フォトリソリスト304を塗布し、フォトリソグラフィーにより所望のパターンにパターニングを施す(図3(d))。次いで、RIEを用いCF4によりSiNxマスク層303をエッチングする(図3(e))。

【0080】しかる後、MOCVD法によりSiO2マスク開口部310にSiドープn-GeNエピタキシャル層305(1μm)を選択成長し、これによりエピタキシャル成長用基板が作製される。

【0081】しかる後、InGaIn(厚さ20nm)/GeN(厚さ20nm)の超格子構造306を形成する(図3(f))。

【0082】しかる後、MOCVD法によりSiドープn-GeNエピタキシャル層307を選択成長しマスク開口面を被覆し、横方向への成長を行う(図3(g))。

【0083】しかる後、HVP法により1000μm/h程度の速度でSiドープn-GeNエピタキシャル層307の高速成長を行い、単一のGeN基板308が形成される(図3(h))。

【0084】このように、図3の作製工程例では、超格子構造を作製するまでの成膜方法と、超格子構造作製後の成膜方法とを相違させることで(超格子構造を作製するまでの工程を成長速度が速く、膜厚の制御が容易な方法により成膜し、超格子構造を作製以降の成膜をより成膜速度の速い安価な成膜方法により成膜することで)、高品質かつ大面積の半導体結晶、すなわちIII族窒化物半導体基板をより低コストで得ることができる。

【0085】なお、層構成や各層の組成等の構成およびプロセスの詳細は、上述の例に限定されるものではなく、他の構成、プロセスを取ることも可能である。例えば、フラックス法においては成長条件の制御による結晶

の形態制御が可能であり、板状の結晶を得ることができることから、上述の例のようにマスク開口部310の単位面積当たりの密着を下げることににより、より応力緩和の容易な単層基板とのGaN系基板308が得られる。

【0086】また、超格子構造306を作製後の成膜方法については、結晶成長速度の速い他の成長方法を用いることも可能である。

【0087】また、上述の例では、GaN系薄膜をMOCVD法により成膜したが、MBE法により形成することも可能である。

【0088】本発明の半導体基板は、上述したように、エピタキシャル成長用基板とエピタキシャル成長用基板上に成長するIII族窒化物エピタキシャル層とが分離されている。ここで、分離とは、異種界面による応力の緩和等の力学的な意味での分離を意味している。すなわち、エピタキシャル成長用基板とIII族窒化物エピタキシャル層との間の応力は緩和されており、反りや応力に起因する転位の導入は解消されている。しかし、III族窒化物エピタキシャル層は、基板から取り外されていないため、III族窒化物エピタキシャル層とエピタキシャル成長用基板とは一体のものとして取り扱いが可能であり、この場合には、エピタキシャル成長用基板による全体の強度確保が可能となる。

【0089】すなわち、III族窒化物エピタキシャル層とエピタキシャル成長用基板とが一体である場合には、結晶成長工程やデバイス作製工程において、半導体基板の取り扱いが容易となり、かつ、反りの無い大面積の低コストの半導体基板を提供することができる。すなわち、III族窒化物エピタキシャル層を成長後、格子緩和し歪みが低減された状態のIII族窒化物エピタキシャル層とエピタキシャル成長用基板とを一体のままとすることで、反りのない大面積の基板を得るとともに、デバイス形成プロセス中、エピタキシャル成長用基板をIII族窒化物エピタキシャル層の支持基板とすることができ、取り扱いが容易となる。また、支持基板があることで、III族窒化物エピタキシャル層の厚みを薄くすることも可能となり、より低コストな半導体基板を得ることができる。

【0090】また、これとは反対に、III族窒化物エピタキシャル層をエピタキシャル成長用基板から取り外して、半導体基板とすることもできる。この場合には、半導体基板は、エピタキシャル成長用基板上に厚膜のIII族窒化物エピタキシャル層を選択成長させ、かつ、エピタキシャル成長用基板とIII族窒化物エピタキシャル層とを分離した構成となる。なお、この場合、分離とは、前述した異種界面での応力緩和のための分離の意味に加え、エピタキシャル成長用基板から取り外した後、厚膜のIII族窒化物エピタキシャル層自体の剛性により、III族窒化物エピタキシャル層単体を半導体基板として用いることを意味している。

【0091】このように、III族窒化物エピタキシャル層をエピタキシャル成長用基板から取り外して半導体基板とすることにより、エピタキシャル成長用基板とIII族窒化物エピタキシャル層とが物理的に分離され、応力が緩和されて、大面積のIII族窒化物半導体基板が得られる。また、エピタキシャル成長用基板とIII族窒化物エピタキシャル層全体で格子緩和が進展することから、エピタキシャル成長用基板からIII族窒化物エピタキシャル層を容易に取り外すことが可能となる。これにより、高品質かつ大面積のGaN系半導体基板を提供することができる。

【0092】なお、上述した各例の半導体基板において、III族窒化物エピタキシャル層は少なくともGaNを含むIII族窒化物で構成でき、また、超格子構造はGa, In, Alの窒化物若しくはその混合物により構成できる。

【0093】図4はIII族窒化物エピタキシャル層が少なくともGaNを含むIII族窒化物で構成され、また、超格子構造がGa, In, Alの窒化物若しくはその混合物により構成される場合の半導体基板の作製工程例を示す図である。

【0094】図4を参照すると、まず、Al₂O₃基板401を用意する(図4(a))。なお、基板401の方位はc-面を用いているが、他の面方位でも良い。

【0095】次いで、基板401上にMOCVD法によりGaNの低温バフアー層(図示せず)を積層後、Siドープのn-GaN膜402(膜厚が1μm)を成膜する(図4(b))。次いで、n-GaN膜402上にSiO₂マスク層400(膜厚が1.5μm)を成膜する(図4(c))。

【0096】しかる後、フォトリソグラフ404を塗布し、フォトリソグラフィにより所望のパターンにパターニングを施す(図4(d))。次いで、バッファードフッ酸によりSiO₂マスク層403をエッチングする(図4(e))。

【0097】しかる後、MOCVD法によりSiO₂マスク開口部410にSiドープn-GaNエピタキシャル層405(膜厚が1μm)を選択成長し、これによりエピタキシャル成長用基板が作製される。

【0098】しかる後、AlGaN(厚さ10nm)/GaN(厚さ20nm)の超格子構造406を形成する(図4(f))。

【0099】しかる後、MOCVD法によりSiドープn-GaNエピタキシャル層407を選択成長しマスク開口面を拡張し、横方向への成長を行なう(図4(g))。

【0100】さらに、選択成長を続けることにより、基板全体のGaNエピタキシャル層407が合併し、合併したGaNエピタキシャル層407によって単一のGaN基板408が形成される(図4(h))。

【0101】この場合、成長温度からの冷却時に生じる熱応力により、GeN層408/SiO₂マスク層409との界面、および、AlGeN/GeN超格子構造406の異種界面において、選択的に応力緩和が起こり、反りのない異種基板上のGeN基板408が得られる。

【0102】このように、III族窒化物エピタキシャル層は少なくともGeを含む窒化物よりなり、超格子構造はGe、In、Alの窒化物若しくはその混合物により構成されていれば良く、この場合、GeN系材料の高品質かつ大面積の基板が得られる。すなわち、超格子構造の組成を含む層構成を定めることで、Alを含む基板についても、高品質かつ大面積の基板が得られる。

【0103】なお、層構成や各層の組成等の構成およびプロセスの詳細は、上述の例に限定されるものではなく、他の構成、プロセスを取ることも可能である。

【0104】また、上述の例では、GeN系層膜をMOV法により成膜したが、MBE法を用いればGeN系層膜に限らず、すべての層、膜の構成を形成可能であり、また、HVE法、昇華法を用いれば、超格子構造以降の層、膜の構成を形成可能である。また、マスク層の材料もSiO₂膜に限らず、SiN膜などを用いることができる。

【0105】本発明は、GeN系基板全般に適用可能である。AlGeN/GeN超格子の構成については、よりAl組成を大きくして歪みを大きくすることで、より小さな剪断応力によって格子緩和を進展させることができる。

【0106】また、上述の各作製工程例により作製された本発明の半導体基板上に発光素子を形成することができる。なお、この場合、本発明は、発光素子の構造および製造方法に限定されるものではない。

【0107】この半導体基板上に作製された発光素子では、結晶欠陥密度が低くかつ反りのない大面積の半導体基板により、発光素子の長寿命化が可能となるとともにコストダウンが可能となる。また、III族窒化物エピタキシャル層をエピタキシャル成長用基板から取り外したものを半導体基板として用いる場合、この半導体基板は、導電性を有するので、裏面に電極を形成することが可能となり、フェースダウン実装が可能となることから、放熱性に優れ、長寿命の半導体レーザーを低コストで提供することができる。

【0108】

【発明の効果】以上に説明したように、請求項1乃至請求項7記載の発明によれば、III族窒化物エピタキシャル層が選択的に成長する領域とIII族窒化物エピタキシャル層が選択的に成長しない領域とが共存して形成されているエピタキシャル成長用基板上に、III族窒化物エピタキシャル層を形成して、半導体基板を作製する半導体基板の作製方法であって、エピタキシャル成長用基板のIII族窒化物エピタキシャル層が選択的に成長する領

域に成長したIII族窒化物エピタキシャル層とエピタキシャル成長用基板とが分離されており、エピタキシャル成長用基板とIII族窒化物エピタキシャル層との間に分離のための構造を設けることで、異種材料基板上にIII族窒化物エピタキシャル層を形成するに当たり溶接問題となっていた異種材料基板との間の熱膨張係数の差による応力を緩和することができ、応力による歪みを低減することができ、高品質かつ大面積のIII族窒化物半導体基板を提供できる。すなわち、懸垂歪みの低減により、反りやクラックのない大面積結晶化のIII族窒化物半導体基板が得られるとともに、方位の進展、増殖等の挙動が緩和された高品質のIII族窒化物半導体基板が得られる。

【0109】特に、請求項2記載の発明によれば、請求項1記載の半導体基板の作製方法において、エピタキシャル成長用基板と前記エピタキシャル成長用基板上に成長するIII族窒化物エピタキシャル層とが格子不整合であり、かつ、エピタキシャル成長用基板のIII族窒化物エピタキシャル層が選択的に成長する領域上で、エピタキシャル成長用基板と前記III族窒化物エピタキシャル層とが超格子構造により分離されるように作製するので、高品質かつ大面積のIII族窒化物半導体基板を提供できる。すなわち、格子歪み系の材料での基板作製にあたり、格子歪みに起因する高密度の転位は選択成長により低減し、また、エピタキシャル成長用基板との熱膨張係数の差による応力をエピタキシャル成長用基板とIII族窒化物エピタキシャル層の間に設けた超格子構造の異種材料間での選択的な格子緩和により低減することができる。超格子構造による格子緩和は、成長中、成長後を問わず、超格子構造の層面に対して平行な剪断応力に対してこれを緩和するように働く。この方向は格子歪みにより生じる応力の働く方向であり、また、熱膨張率の差による応力の働く方向でもある。従って、より小さな剪断応力に対して格子緩和挙動を示すように超格子構造を設計することにより、より懸垂歪みの小さな高品質かつ大面積の半導体結晶、すなわちIII族窒化物半導体基板を得ることができる。

【0110】また、請求項3記載の発明によれば、超格子構造を作製するまでの成膜方法と超格子構造作製後の成膜方法とが異なることで（超格子構造を作製するまでの工程を成長速度が遅く、限厚の制御が容易な方法により成膜し、超格子構造を作製以降の成膜をより成膜速度の速い安価な成膜方法により成膜することで）、高品質かつ大面積の半導体結晶、すなわちIII族窒化物半導体基板をより低コストで得ることができる。

【0111】また、請求項4記載の発明によれば、III族窒化物エピタキシャル層とエピタキシャル成長用基板とが一体であるので、結晶成長工程やデバイス作製工程において、半導体基板の取り扱いが容易となり、かつ、反りの無い大面積の低コストの半導体基板を提供するこ

とができる。すなわち、III族窒化物エピタキシャル層を成長後、格子緩和し歪みが低減された状態のIII族窒化物エピタキシャル層とエピタキシャル成長用基板とを一体のままとすることで、反りのない大面積の基板を得るとともに、デバイス形成プロセス中、エピタキシャル成長用基板をIII族窒化物エピタキシャル層の支持基板とすることができ、取り扱いが容易となる。また、支持基板があることで、III族窒化物エピタキシャル層の厚みを薄くすることも可能となり、より低コストな半導体基板を得ることができる。

【0112】また、請求項5記載の発明によれば、III族窒化物エピタキシャル層をエピタキシャル成長用基板から取り外して半導体基板とすることにより、エピタキシャル成長用基板とIII族窒化物エピタキシャル層とが物理的に分離され、応力が緩和されて、大面積のIII族窒化物半導体基板が得られる。また、エピタキシャル成長用基板とIII族窒化物エピタキシャル層全体で格子緩和が進展することから、エピタキシャル成長用基板からIII族窒化物エピタキシャル層を容易に取り外すことが可能となる。これにより、高品質かつ大面積のIII族窒化物半導体基板を提供することができる。

【0113】また、請求項6記載の発明によれば、III族窒化物エピタキシャル層は少なくともGeを含む窒化物よりなり、超格子構造はGe、In、Alの窒化物若しくはその混合物により構成されているので、GeN系材料の高品質かつ大面積の基板が得られる。また、超格子構造の組成を含む層構成を変えることで、Alを含む基板についても、高品質かつ大面積の基板が得られる。

【0114】また、請求項9記載の発明によれば、請求項7記載の半導体基板上に形成された発光素子であるので、放熱性に優れ、長寿命の発光素子（例えば半導体レーザー）を低コストで提供することができる。すなわち、用いられる半導体基板は、選択成長による位相密度が低減され、また、エピタキシャル成長用基板とIII族窒化物エピタキシャル層との熱膨張率の差等に起因する応力をエピタキシャル成長用基板とIII族窒化物エピタキシャル層とを分離することで、残留応力が緩和され、応力により発生する結晶欠陥が低減するとともに半導体基板の表面結晶化が可能となるものである。この半導体基板上に作製された発光素子では、結晶欠陥密度が低くかつ反りのない大面積の半導体基板により、発光素子の長寿命化が可能となるとともにコストダウンが可能となる。また、III族窒化物エピタキシャル層をエピタキシャル成長用基板から取り外したものを半導体基板として用いる場合、この半導体基板は、表面に電極を形成することが可能となり、フェースダウン実装が可能となることから、放熱性に優れ、長寿命の半導体発光素子を低コストで提供することができる。

【四面の簡単な説明】

【図1】本発明に係る半導体基板の作製工程例を示す図である。

【図2】エピタキシャル成長用基板とエピタキシャル成長用基板上に成長するIII族窒化物エピタキシャル層との分離に、超格子構造を用いる場合の半導体基板の作製工程例を示す図である。

【図3】超格子構造を作製するまでの成膜方法と超格子構造作製後の成膜方法とを異ならせる場合の半導体基板の作製工程例を示す図である。

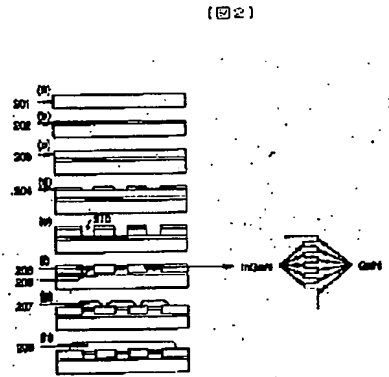
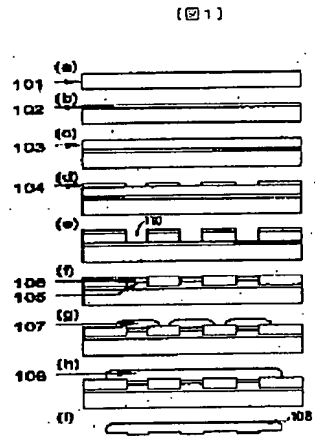
【図4】エピタキシャル成長用基板とエピタキシャル成長用基板上に成長するIII族窒化物エピタキシャル層との分離に、超格子構造を用いる場合の半導体基板の作製工程例を示す図である。

【図5】従来の半導体基板の作製方法を説明するための図である。

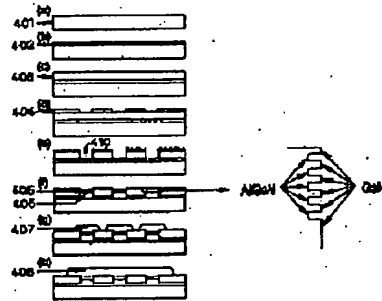
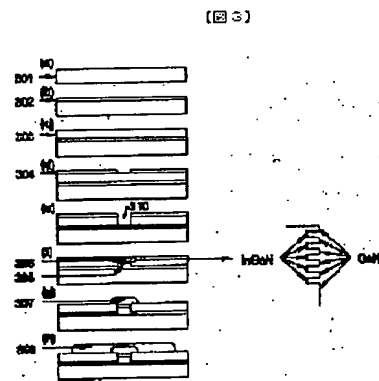
【図6】従来の半導体レーザーを示す図である。

【符号の説明】

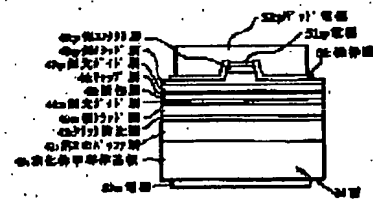
101	A12O3基板
102	Siドープのn-GeN膜
103	SiO2マスク層
104	フォトリソ
105	Siドープn-GeNエピタキシャル層
106	InN層
107	Siドープn-GeNエピタキシャル層
108	GeN基板
201	A12O3基板
202	Siドープのn-GeN膜
203	SiO2マスク層
204	フォトリソ
205	Siドープn-GeNエピタキシャル層
206	超格子構造
207	Siドープn-GeNエピタキシャル層
208	GeN基板
301	A12O3基板
302	Siドープのn-GeN膜
303	SiO2マスク層
304	フォトリソ
305	Siドープn-GeNエピタキシャル層
306	超格子構造
307	Siドープn-GeNエピタキシャル層
308	GeN基板
401	A12O3基板
402	Siドープのn-GeN膜
403	SiO2マスク層
404	フォトリソ
405	Siドープn-GeNエピタキシャル層
406	超格子構造
407	Siドープn-GeNエピタキシャル層
408	GeN基板



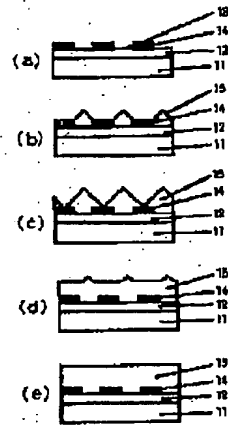
(圖 4)



(圖 6)



[圖 5]



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.